

#2
Priority
2/4/03
Hay

JC926 U.S. PRO
10/005843



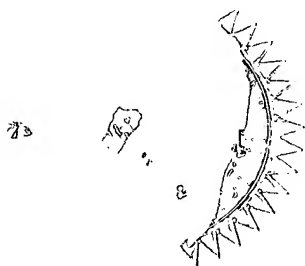
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 38421 호
Application Number PATENT-2001-0038421

출원년월일 : 2001년 06월 29일
Date of Application JUN 29, 2001

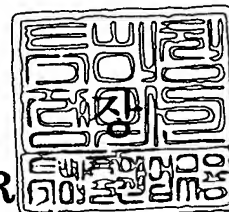
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 09 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2001.06.29
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이희열
【성명의 영문표기】	LEE, Hee Youl
【주민등록번호】	640423-1401110
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대아파트 3차 301동 408호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	463,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 자기정렬 소오스 식각 공정후 전체 구조 상부에 DCS(Dichlorosilane; SiH_2Cl_2) HTO 및 질화막을 순차적으로 형성하여 상기 자기정렬 소오스 식각공정시 손상된 게이트구조의 측벽을 보상하기 위한 스페이서로 작용하여 플로팅 게이트전극과 주변부간의 전하 및 정공의 이동을 막아주어 데이터 보존능력을 증가시키고, 후속 공정의 질화막에 기인하는 스트레스를 상쇄시키는 완충역활도 수행하며, 후속 열공정에서 제 1 다결정 실리콘층과 제 2 다결정 실리콘층 사이의 유전체막의 두께 증가 방지 및 유전체막 식각시 선택에 의한 블록킹 역할을 해주어 스크린 산화막의 균일성을 확보하여 고농도 이온 주입공정시 접합부의 깊이를 균일하게 형성함으로써 주변회로의 트랜지스터의 특성 향상 및 확산 저항값의 균일성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제시한다.

【대표도】

도 1g

【색인어】

플래시 셀, 자기정렬 소오스 식각, 스페이서, HTO/질화막

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법{Method of manufacturing semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명의 실시예에 따른 반도체 소자의 단면도.

도 2는 소거 특성 검사 그래프.

도 3은 확산 저항 분포 그래프.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|----------------------------------|--------------------------|
| 11 : 반도체 기판 | 12 : 터널 산화막 |
| 13 : 제 1 다결정 실리콘층(플로팅 게이트전극) | |
| 14 : 유전체막 | |
| 15 : 제 2 다결정 실리콘층 | 16 : 텅스텐 실리사이드 |
| 17 : 절연층 | 18 : 캡핑 산화막 |
| 19 : 캡핑 질화막 | 20 : 셀 지역의 소오스 및 드레인 접합부 |
| 21 : 주변회로 지역의 저농도 소오스 및 드레인 접합부 | |
| 21a : 주변회로 지역의 고농도 소오스 및 드레인 접합부 | |

22 : 스페이서용 산화막

22a : 스페이서

10a : 콘트롤 게이트전극

10b : 게이트전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<15> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히, 플래시 셀 및 주변회로의 트랜지스터 제조 방법에 관한 것이다.

<16> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다. 이러한 ROM 제품은 ROM, PROM(programmable ROM), EPROM(erasable PROM) 및 EEPROM(electrically EPROM)으로 분류할 수 있는데, 이 중에서 전기적 방법으로 데이터를 프로그램(program) 및 소거(erase)할 수 있는 EEPROM에 대한 수요가 증가하고 있는 추세이다. 상기한 EEPROM이나 일괄 소거 기능을 갖는 플래시 EEPROM은 플로팅 게이트전극과 콘트롤 게이트전극이 적층된 스택형 게이트구조를 갖는다.

- <17> 스택형 게이트구조의 메모리 셀은 F-N 터널링(Fowler-Nordheim tunneling)에 의해 데이터를 프로그램 및 소거하며, 반도체 기판의 상부에 터널 산화막, 플로팅 게이트전극, 유전체막 및 콘트롤 게이트전극이 적층된 구조로 형성된다. 상기 메모리 셀이 다수로 구성된 메모리 셀 어레이에는 컬럼 방향으로 일정한 간격을 갖고 다수의 메탈 비트 라인(Metal Bit Lines)들이 배치되며 상기 다수의 메탈 비트 라인과 직교하는 방향으로 다수의 워드라인(word line)들이 배치된다. 또한, 상기 메모리 셀 어레이에는 두 개의 워드라인마다 하나의 공통 소오스 라인(Common Source Line)이 배치된다. 상기 공통 소오스 라인은 워드라인과 동일한 방향으로 배치되며, 다수의 공통 소오스 접합부와 소오스 연결층으로 이루어진다. 상기 메탈 비트 라인은 두 개의 게이트전극 사이에 형성된 메탈 콘택홀(metal contact)을 통해 상기 드레인 접합부와 접속된다.
- <18> 상기에서 설명한 플래시 셀 어레이의 제조 방법을 더욱 상세히 설명하면 다음과 같다.
- <19> 실리콘 부분 산화(local oxidation of silicon; LOCOS) 공정과 같은 아이솔레이션(isolation) 공정을 통해 반도체 기판의 상부에 소자 분리막을 형성하여 활성영역을 정의(define)한다. 상기 반도체 기판의 활성영역 상부에 터널 산화막, 플로팅 게이트전극용 제 1 다결정 실리콘층을 순차적으로 형성한 후, 사진식각 공정으로 필드 산화막 상부의 제 1 다결정 실리콘층을 식각해 냄으로써, 비트라인 방향으로 각 셀의 플로팅 게이트전극을 분리시킨다. 그런 다음, 전체 구조 상부에 유전체막으로 ONO(oxide/nitride/oxide)막, 콘트롤 게이트전극용 제 2 다결정 실리콘층 및 절연막(하드 마스크층 또는 반사 방지막용)을 순차적으로 적층하

여 형성한다. 계속해서, 상기 절연막의 상부에 워드라인 형성을 위한 포토레지스트 패턴을 형성한후, 이를 식각 마스크로 사용하여 절연막, 제 2 다결정 실리콘층, 유전체막 및 제 1 다결정 실리콘층을 순차적으로 식각함으로써 스택형 게이트구조를 형성한다. 이때, 주변회로 지역에는 게이트전극이 형성된다.

<20> 이어서, 자기정렬 소오스(Self Align Source; SAS) 식각공정을 수행하기 위하여 사진 공정을 통해 공통 소오스 영역이 형성될 영역을 오픈시키도록 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 오픈된 영역의 소자분리막을 식각해 낸다. 상기 자기정렬 소오스 식각공정에 의해 손상된 부위를 보상하면서, 스페이서를 형성하기 위해 자기정렬 소오스 열공정을 진행한다. 그런 다음, 소오스/드레인 이온 주입공정을 행하여 셀 지역에 소오스 및 드레인 접합부가 형성되고, 주변회로 지역에는 저농도 접합부가 형성된다. 전체 구조 상부에 스페이서용 산화막이 증착되고, 이후 공정인 블랭킷(blanket) 식각공정에 의해 스페이서가 형성된 후, 셀을 구동시키기 위한 주변회로 지역에는 고농도 주입공정에 의해 고농도 접합부가 형성되어 트랜지스터가 완성된다.

<21> 이어서, 전체 구조 상부에 고온 산화막(high temperature oxide; HTO), PSG 및 BPSG(borophosphosilicate glass)막을 순차적으로 적층한 후, 셀 및 트랜지스터를 보호 및 평탄화하기 위해 리플로우(reflow) 공정을 통해 상기 BPSG막을 평탄화시킨다. 이어서, 사진식각 공정을 통해 셀의 드레인 영역 상부에 적층되어 있는 층들을 습식 식각 및 건식 식각 공정을 통해 제거하여 메탈 콘택을 형성한다. 다음에, 상기 결과물의 상부에 금속층을 증착하고 이를 사진식각 공정을 통

해 패터닝함으로써, 비트라인 콘택을 통해 셀의 드레인 영역에 전기적으로 연결되는 비트라인을 형성한다.

<22> 그러나, 상기와 같은 플래시 셀 어레이 제조 방법은 다음과 같은 문제점이 발생된다.

<23> 첫번째는 자기정렬 소오스 식각공정에 의해 발생하는 반도체 기판의 소오스 접합부에 손실(loss)이 부위별로 균일하지 않아 플로팅 게이트전극과 소오스 접합부간의 중첩범위가 손실 부위별로 차이가 발생함으로써, 어레이를 구성하는 셀들의 특성이 서로 동일하지 않게 되는 문제이다.

<24> 두번째는 자기정렬 소오스 식각공정후, 손상되는 부위를 보상하기 위해 행해지는 자기정렬 소오스 열공정에 의해 ONO 구조의 유전체막의 에지영역에서 ONO 구조를 구성하는 산화막층들의 두께가 증가하는 로컬 버드 비크(locally bird's beak)현상이 발생하는 문제이다. 상기 문제에 의해 각 셀마다 ONO 구조를 형성하는 산화막의 두께가 서로 상이해져 각 셀의 접합부와 플로팅 게이트전극간의 커플링 레티오가 달라지게 된다. 이에 따라, 각 셀마다 전기장(electric field)의 차이가 발생하여 F-N 터널링 방식을 이용한 섹터내의 셀에서 소거 동작 속도의 차이가 생기게 되어 셀의 소거 분포를 악화시키게 된다.

<25> 세번째는 자기정렬 소오스 식각공정시 콘트롤 게이트전극을 구성하는 텅스텐 실리사이드막(WSi)이 오픈되고, 상기 오픈된 텅스텐 실리사이드막(WSi)의 부위에 후속 공정인 자기정렬 소오스 열공정에 의해 스페이스가 두껍게 형성되는 문제이다. 이는, 텅스텐 실리사이드막(WSi)이 특성상 산화율(oxidation rate)이 아주 느리기 때문에 발생하는 문제로서, 후속 공정인 CVD 스페이서 산화막 증착

시 텅스텐 실리사이드막(WSi)으로부터 플루린(Fluorine)이 누출되어 Si-O간의 결합보다도 Si-F간의 결합이 우선시 된다. 이로 인해, 국부적으로 스페이서의 증착 속도가 증가하게 되어 스페이서에 디펙트(defect)가 발생하고, 상기 디펙트에 의해 스페이서의 폭이 국부적으로 변화되어 트랜지스터의 특성의 불균일성을 발생시킨다.

<26> 네번째는 주변회로 지역의 트랜지스터에 형성되는 소오스 및 드레인 접합부 깊이의 불균일성 문제이다. 이 문제는 스페이서 식각공정 후 행해지는 고농도 이온 주입공정이 표면에 남아 있는 산화막을 스크린 산화막으로 이용하고 있고, 측면 확산을 억제하기 위해 아세릭(Arsenic)과 같은 높은 원자량을 갖는 소오스 재료를 사용하며, 이온 주입에너지로 저 에너지를 사용하기 때문에 발생한다. 즉, 소오스 및 드레인 접합부 깊이의 불균일성 문제는 이온 주입공정시 표면에 남아 있는 산화막의 균일성에 의해 크게 좌우되는데, 종래에는 증착된 산화막을 블랭킷 식각공정을 행하여 산화막을 식각하기 때문에 균일한 두께의 산화막을 얻을 수 없으며, 트랜지스터 특성 및 수동소자로 사용되는 접합부의 면저항값 역시 변화폭이 커지게 된다.

<27> 다섯번째는 게이트전극과 접합부간에 발생하는 단락문제이다. 게이트전극과 접합부는 각각 독립적인 단자로서 상호간 접촉하게 되면 불필요한 누설전류가 흐르게 된다. 이러한 문제는 트랜지스터의 크기가 작아질수록 게이트전극과 접합부간의 간격이 감소하기 때문에 공정상 약간의 미스-얼라인먼트(mis-alignment)와 프리 메탈 클리닝(pre-metal cleaning)에 의해서도 쉽게 게이트전극과 접합부간에 단락(shot)이 발생하게 된다.

<28> 따라서, 상기에서 제시한 문제들을 해결하기 위한 새로운 플래시 셀 제조 방법이 제시되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명은 상기 문제를 해결하기 위해 안출된 것으로, 자기정렬 소오스 식각공정후 전체 구조 상부에 DCS(Dichlorosilane; SiH_2Cl_2) HTO 및 질화막을 순차적으로 형성하여 플로팅 게이트전극과 콘트롤 게이트전극 사이에 존재하는 유전체막의 로컬 버크 비크생성을 예방하고 상기 자기정렬 소오스 식각공정시 손상된 게이트구조의 측벽을 보상하기 위한 스페이서로 작용하여 플로팅 게이트전극과 주변부간의 전하 및 정공의 이동을 막아주어 데이터 보존능력을 증가시키는데 그 목적이 있다.

<30> 또한, 본 발명은 상기와 같이 전체 구조 상부에 DCS HTO 및 질화막을 순차적으로 형성함으로써, 후속 공정에 의해 가해지는 스트레스로부터 게이트전극들을 보호함과 아울러 후속 열공정에 의해 발생하는 산화막의 생성을 방지하는데 또 다른 목적이 있다.

<31> 또한, 본 발명은 상기와 같이 전체 구조 상부에 DCS HTO 및 질화막을 순차적으로 형성하여 스크린 산화막을 형성하기 위한 DCS HTO 식각시 상기 질화막으로 하여금 선택비에 의한 스탑퍼(stopper) 역할을 수행하게 하여 식각율을 조절함으로써, 스크린 산화막의 균일성을 확보하여 고농도 이온 주입공정시 접합부의

깊이를 균일하게 형성함과 아울러 더 나아가 주변회로의 트랜지스터의 특성 향상 및 확산 저항값의 균일성을 향상시키는데 또 다른 목적이 있다.

【발명의 구성 및 작용】

<32> 상술한 목적을 달성하기 위해 본 발명은 셀 지역과 주변회로 지역이 정의된 반도체 기판이 제공되는 단계; 상기 셀 지역에 패터닝된 터널 산화막, 플로팅 게이트전극 및 콘트롤 게이트전극을 형성하고, 상기 주변회로 지역에 게이트전극을 형성하는 단계; 상기 셀 지역에 자기정렬 소오스 식각공정으로 소자분리막의 노출된 부분을 제거하는 단계; 전체 구조 상부에 제 1 캡핑층 및 제 2 캡핑층을 형성하는 단계; 상기 셀 지역에 자기정렬 소오스 열공정을 실시하는 단계; 상기 셀 지역에 소오스 및 드레인 접합부를 형성하고, 상기 주변회로 지역에 저농도 소오스 및 드레인 접합부를 형성하는 단계; 상기 주변회로 지역에 게이트 스페이서를 형성하는 단계; 및 상기 주변회로 지역에 고농도 소오스 및 드레인 접합부를 형성하는 단계를 포함하여 이루어진다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

<34> 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 반도체 소자의 단면도이다.

<35> 도 1a를 참조하면, 실리콘 부분 산화(local oxidation of silicon; LOCOS) 공정과 같은 아이솔레이션(isolation) 공정을 통해 반도체 기판(11)의 상부에 소자분리막(도시하지 않음)을 형성하여 활성영역을 정의(define)한다. 상기 반도체 기판(11)의 활성영역 상부에 터널 산화막(12), 플로팅 게이트전극용 제 1 다결정 실리콘층(13)을 순차적으로 형성한 후, 사진식각 공정으로 소자분리막 상부의 제 1 다결정 실리콘층(13)을 식각해 냄으로써, 플로팅 게이트전극의 일측면이 정의된다. 그런 다음, 전체 구조 상부에 유전체막(14)으로 ONO(oxide/nitride/oxide)막, 제 2 다결정 실리콘층(15) 및 텅스텐 실리사이드(16) 및 절연막(17)이 순차적으로 적층된 적층구조가 형성된다.

<36> 이어서, 상기 절연막(17)의 상부에 워드라인(도시하지 않음) 형성을 위한 포토레지스트 패턴을 형성한후, 이를 식각 마스크로 사용하여 절연막(17), 텅스텐 실리사이드막(16), 제 2 다결정 실리콘층(15), 유전체막(14) 및 제 1 다결정 실리콘층(13)을 순차적으로 식각함으로써 제 2 다결정 실리콘층(15) 및 텅스텐 실리사이드막(16)이 적층된 콘트롤 게이트전극(10a) 및 제 1 다결정 실리콘층(13)으로 된 플로팅 게이트전극(13)을 형성하여 스택형 게이트구조가 완성된다. 이때, 주변회로 지역에는 게이트전극(10b)이 형성된다. 이어서, 자기정렬 소오스(Self Align Source; SAS) 식각공정을 수행하기 위하여 사진 공정을 통해 공통 소오스 영역이 형성될 영역을 오픈시키도록 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 오픈된 영역의 소자분리막을 식각해 낸다.

<37> 도 1b를 참조하면, 전체 구조 상부에는 캡핑용(capping) 산화막(18) 및 캡핑용 질화막(19)이 순차적으로 형성된다. 상기 캡핑용 산화막(18)은 DCS HTO가 100 내지 200Å의 두께로 형성되고, 상기 캡핑용 질화막(19)은 50 내지 200Å의 두께로 형성된다.

<38> 도 1c를 참조하면, 셀 지역에 상기 자기정렬 소오스 식각공정에 의해 손상된 부위를 보상하기 위한 자기정렬 소오스 열공정이 진행된다. 그런 다음, 셀 지역에는 소오스/드레인 이온 주입마스크를 이용한 소오스/드레인 이온 주입공정에 의해 소오스 및 드레인 접합부(20)가 형성된다. 상기 소오스/드레인 이온 주입공정은, 본 발명에서 캡핑용 산화막(18) 및 캡핑용 질화막(19)을 추가로 형성했기 때문에 프로젝티드 범위(Projected range; R_p)를 고려하여 일반적인 이온 주입에너지 보다 약 10KeV 정도 증가시켜 진행한다. 예를 들어 아세닉(As75) 이온을 주입할 경우, 40 내지 50Kev의 이온 주입에너지에서 진행된다.

<39> 도 1d를 참조하면, 주변회로 지역에 트랜지스터 영역을 형성하기 위해 저농도 이온 주입마스크를 이용한 저농도 이온 주입공정에 의해 저농도 소오스 및 드레인 접합부(21)가 형성된다. 저농도 이온 주입공정은, 본 발명에서 캡핑용 산화막(18) 및 캡핑용 질화막(19)을 추가로 형성했기 때문에 프로젝티드 범위(R_p)를 고려하여 일반적인 이온 주입에너지 보다 약 5KeV 정도 증가시켜 진행한다.

<40> 도 1e를 참조하면, 주변회로 지역에는 트랜지스터의 게이트전극(10b)과 저농도 소오스 및 드레인 접합부(21)간의 오버랩(overlap)을 조절하기 위해 스페이서용 산화막(22)이 형성된다. 상기 스페이서용 산화막(22)은 1200 내지 1600Å의

두께로 형성되는데, 이 두께는 캡핑용 산화막(18) 및 캡핑용 질화막(19)의 증착 두께를 고려하여 일반적으로 형성하는 두께보다 약 100 내지 200 Å 정도로 얇은 것이다.

<41> 도 1f를 참조하면, 주변회로 지역에는 제 1 블랭킷 식각공정에 의해 스페이서(22a)가 형성된다. 상기 제 1 블랭킷 식각공정은 질화막과 산화막의 선택비를 고려하여 행해지며, 캡핑용 산화막(18)과 스페이서용 산화막(22) 사이에 형성된 캡핑용 질화막(19)이 식각 스탑퍼(etch stopper) 역할을 한다. 이후, 제 2 블랭킷 식각공정으로 캡핑용 질화막(19)의 노출된 부분을 제거하고, 이로 인하여 게이트전극(10b)의 측벽에는 캡핑용 산화막(18), 캡핑용 질화막(19) 및 스페이서(22a)가 적층된 ONO 구조의 게이트 스페이서가 형성되고, 소오스 및 드레인이 형성될 반도체 기판(11) 표면에는 캡핑용 산화막(18)이 균일한 두께로 남게 된다. 반도체 기판(11) 표면에 남겨진 캡핑용 산화막(18)을 후속 공정의 고농도 이온 주입시 스크린 산화막 역할을 한다.

<42> 도 1g를 참조하면, 주변회로 지역에는 고농도 이온 주입마스크를 이용한 고농도 이온 주입공정에 의해 LDD구조의 고농도 소오스 및 드레인 접합부(21a)가 형성된다. 고농도 이온 주입공정에는 As 또는 BF₂을 사용하여 진행된다.

<43> 이후 공정은 종래 기술과 동일함에 따라 여기서는 간략하게 설명하기로 한다.

<44> 전체 구조 상부에는 IPO막(HTO), PSG막 및 BPSG(borophosphosilicate glass)막이 순차적으로 적층된 후, 셀 및 트랜지스터를 보호 및 평탄화하기 위한

리플로우(reflow) 공정에 의해 상기 BPSG막이 평탄화된다. 이어서, 포토레지스트 패턴을 이용한 사진식각 공정에 의해 셀 지역의 드레인 영역 상부에 적층되어 있는 층들은 제거되어 콘택홀이 형성된 후, 상기 식각공정시 손상되는 부위를 보상하기 위한 세정(cleaning)공정이 행해진다. 그런 다음, 전체 구조 상부에 텅스텐과 같은 금속층을 증착하고 이를 사진식각 공정을 통해 패터닝함으로써, 상기 콘택홀을 통해 셀의 드레인 영역에 전기적으로 연결되는 비트라인을 형성한다.

<45> 상기와 같이 본 발명을 진행할 경우, 종래 문제점이 어떻게 해결되는지에 대해 설명하면 다음과 같다.

<46> 종래 기술에 있어서, 첫번째 문제점인 셀 지역의 소오스 접합부의 깊이 불균일성 문제는 소자분리막의 식각공정시 반도체 기판에 불균일한 손실이 발생한 상태에서 소오스/드레인 이온 주입공정을 행함으로써 발생하게 된다. 이를 해결하기 위해 본 발명에서는 스택구조의 게이트전극이 형성된 후, 상기 게이트전극을 덮도록 DCS HTO와 질화막을 형성함으로써, 소오스/드레인 이온 주입공정시 상기 DCS HTO와 질화막이 스크린 역할을 해주어 반도체 기판의 손실의 불균일성을 완화해줌으로 균일한 소오스 및 드레인 접합부의 깊이를 확보할 수 있다.

<47> 두번째 문제점인 소거 문턱전압 분포(erase vt distribution)의 약화문제는 자기정렬 소오스 열공정시, 유전체막을 구성하는 ONO 구조의 산화막들의 에지 부위의 두께가 증가하는 로컬 버드 비크현상에 의해 발생하게 된다. 이를 해결하기 위해 본 발명에서는 자기정렬 소오스 열공정을 행하기전에 전체 구조 상부에 DCS HTO와 질화막을 형성한다. 상기 질화막은 일반적으로 열 산화 공정에서 산화

방지(oxidation blocking) 역할을 수행하는 동시에 장력을 갖는 막질 특성을 갖고 있으며, 전하 및 정공 트랩 센터(trap center)를 많이 보유하고 있는 것으로 알려져 있다.

<48> 즉, 자기정렬 소오스 식각공정시 사용되는 플라즈마 식각에 의해 스택구조의 게이트전극들의 측벽이 식각되어 플로팅 게이트전극을 형성하는 제 1 다결정 실리콘층과 콘트롤 게이트전극(워드 라인)을 구성하는 제 2 다결정 실리콘층이 손상을 많이 받게 된다. 이를 해결하기 위해 본 발명에서는 스택구조의 게이트전극이 형성된 후, 그 상부에 DCS HTO와 질화막을 순차적으로 증착하여 질화막의 장력에 기인한 스트레스를 완화시키고, 질화막에서 호핑(hopping) 또는 푸레-프랭켈 터널링 매카니즘(Poole-Frenkel tunneling mechnism)에 의한 전하 및 정공 이동을 차단하고, 게이트전극들의 측벽에 균일한 두께를 갖는 산화막을 형성함으로써, 로우 필드(low-field) F-N 터널링을 차단하여 ONO 구조의 산화막의 로컬 버드 비크현상을 예방할 뿐만 아니라 데이터 보유 특성도 개선할 수 있다. 따라서, 도 2에 도시된 바와 같이, 종래에는 ONO 구조의 산화막에 로컬 버드 비크현상이 발생하여 소거 특성을 통과하기 위한 소거 펄스 루프 카운트(erase pulse loop count)시 슬로우 소거 셀(slow erase cell)이 있어 소거가 패일되는 것을 방지하기 위해 소거 펄스 루프 카운터를 넓은 범위에 걸쳐 걸어줘야만 한다. 그러나, 본 발명에서는 ONO 구조의 산화막에 발생하는 로컬 버드 비크현상을 방지함으로써, 소거 특성 검사시 소거 펄스 루프 카운트의 범위를 좁게하여 걸어줘도 무난하게 소거 특성 검사를 통과할 수 있다.

<49> 세번째 문제점인 텅스텐 실리사이드막(WSi)의 부위에 스페이스가 두껍게 형성되는 문제는 자기정렬 소오스 열공정전에 상기 텅스텐 실리사이드막(WSi)을 덮도록 DCS HTO를 형성함으로써, 텅스텐 실리사이드막(WSi)로부터 플로린이 확산되는 것을 차단할 정도의 산화막 두께가 확보되어 Si-F간 결합을 예방할 수 있다.

<50> 네번째 문제점인 주변회로 지역의 트랜지스터의 소오스 및 드레인 접합부의 깊이의 불균일성 및 수동소자의 확산저항 값의 변동 문제는 스크린 산화막의 균일성을 확보하지 못해 발생하게 된다. 이를 해결하기 위해 본 발명에서는 게이트 전극이 형성된 후, 전체 구조 상부에 형성되는 DCS HTO와 질화막을 형성하여 블랭킷 식각공정시 상기 질화막이 식각 스탑퍼로서 작용함으로써, 상기 DCS HTO의 식각 두께를 150 내지 250Å 정도로 조절하여 종래에서 1300 내지 1600Å 두께의 산화막을 조절하는 거에 비해 90%이상의 산화막을 남길수 있어 스크린 산화막의 균일성을 확보할 수 있다. 즉, 도 3에 도시된 바와 같이, 주변회로 지역의 고농도 이온 주입공정시 스크린 산화막의 두께를 균일하게 확보함으로써, 고농도 소오스 및 드레인 접합부의 깊이가 균일해져 트랜지스터 특성 및 확산저항 값의 균일성을 확보할 수 있다.

<51> 다섯번째 문제점인 게이트전극과 접합부의 단락문제는 트랜지스터의 크기가 작아질수록 게이트전극과 접합부간의 간격이 감소하기 때문에 공정상 약간의 미스-얼라인먼트(mis-alignment)와 프리 메탈 클리닝(pre-metal cleaning)에 의해 발생한다. 일반적으로 콘택홀을 형성하기 위한 식각공정과 네티브 산화막

(native oxide)을 제거하기 위한 전처리 세정(pre-metal cleaning)공정의 대상은 모두 산화막계열이다. 따라서, 본 발명에서는 게이트전극을 덮도록 질화막을 형성하여 상기 질화막을 식각 스탱퍼로 작용하게 함으로써, 항상 DCS HTO와 질화막의 두께를 확보할 수 있어 게이트전극과 접합부간의 단락문제를 해결할 수 있다.

<52> 따라서, 상기와 같이 본 발명은 종래의 기술이 가지고 있는 문제점을 해결하여 데이터 보존 능력을 더 증가시킬 수 있다.

【발명의 효과】

<53> 본 발명은 스택구조의 게이트전극이 형성된 후, 상기 게이트전극을 덮도록 DCS HTO와 질화막을 형성함으로써, 소오스/드레인 이온 주입공정시 상기 DCS HTO와 질화막이 스크린 역할을 해주어 반도체 기판의 손실의 불균일성을 완화해줌으로 균일한 소오스 및 드레인 접합부의 깊이를 확보할 수 있다.

<54> 또한, 본 발명은 자기정렬 소오스 열공정을 행하기전에 전체 구조 상부에 DCS HTO와 질화막을 형성하여 상기 질화막의 장력에 기인한 스트레스를 완화시키고, 질화막에서 호핑(hopping) 또는 푸레-프랭켈 터널링 매카니즘(Poole-Frenkel tunneling mechnism)에 의한 전하 및 정공이동을 차단하고, 게이트전극들의 측벽에 균일한 두께를 갖는 산화막을 형성함으로써, 로우 필드(low-field) F-N 터널링을 차단하여 ONO 구조의 산화막의 로컬 버드 비크현상을 예방할 뿐만 아니라 데이터 보유 특성도 개선할 수 있다.

- <55> 또한, 본 발명은 자기정렬 소오스 열공정전에 상기 텅스텐 실리사이드막을 덮도록 DCS HTO를 형성함으로써, 텅스텐 실리사이드막으로부터 플로린이 확산되는 것을 차단할 정도의 산화막 두께가 확보되어 Si-F간 결합을 예방할 수 있다.
- <56> 또한, 본 발명은 게이트전극이 형성된 후, 전체 구조 상부에 형성되는 DCS HTO와 질화막을 형성하여 블랭킷 식각공정시 상기 질화막이 식각 스탱퍼로서 작용함으로써, 상기 DCS HTO의 식각 두께를 150 내지 250Å 정도로 조절하여 종래에서 1300 내지 1600Å 두께의 산화막을 조절하는 거에 비해 90%이상의 산화막을 남길수 있어 스크린 산화막의 균일성을 확보할 수 있다.
- <57> 또한, 본 발명은 균일한 스크린 산화막을 형성함으로써, 고농도 소오스 및 드레인 접합부의 깊이가 균일해져 트랜지스터 특성 및 확산저항 값의 균일성을 확보할 수 있다.
- <58> 또한, 본 발명은 게이트전극을 덮도록 질화막을 형성하여 상기 질화막을 식각 스탱퍼로 사용함으로써, 항상 DCS HTO와 질화막의 두께를 확보할 수 있어 게이트전극과 접합부간의 단락문제를 해결할 수 있다.
- <59> 또한, 종래의 기술이 자기정렬 소스 열공정시 플로팅 게이트전극 및 컨트롤 게이트전극을 침식하면서 게이트구조의 측벽 스페이서가 형성됨에 따라, 본 발명에서는 게이트전극에 대한 소오스 및 드레인 접합부의 증착이 동일한 경우에는 DCS HTO와 질화막을 증착하는 방법이 플로팅 게이트전극 및 컨트롤 게이트전극의 침식이 측벽 스페이서를 형성함으로써, 실질적인 접합부 플로팅 게이트전극간 증착으로 인해 터널링 영역이 증가하여 소거 동작 효율을 증가 및 터널 산화막 손상을 최소화하여 소자 신뢰성을 증가시킬 수 있다.

<60> 또한, 본 발명은 제 2 캡핑층이 캐리어의 캡처(Capture) 역할을 함으로써,
후속 공정에 의해 형성되는 PSG막 공정을 스킵(Skip)할 수 있다.

【특허청구범위】**【청구항 1】**

셀 지역과 주변회로 지역이 정의된 반도체 기판이 제공되는 단계;

상기 셀 지역에 패터닝된 터널 산화막, 플로팅 게이트전극 및 콘트롤 게이트전극을 형성하고, 상기 주변회로 지역에 게이트전극을 형성하는 단계;

상기 셀 지역에 자기정렬 소오스 식각공정으로 소자분리막의 노출된 부분을 제거하는 단계;

전체 구조 상부에 제 1 캡핑층 및 제 2 캡핑층을 형성하는 단계;

상기 셀 지역에 자기정렬 소오스 열공정을 실시하는 단계;

상기 셀 지역에 소오스 및 드레인 접합부를 형성하고, 상기 주변회로 지역에 저농도 소오스 및 드레인 접합부를 형성하는 단계;

상기 주변회로 지역에 게이트 스페이서를 형성하는 단계; 및

상기 주변회로 지역에 고농도 소오스 및 드레인 접합부를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 캡핑층은 산화막이 100 내지 200Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 2 캡핑층은 질화막이 50 내지 150Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 게이트 스페이서는 상기 제 2 캡핑층 상에 스페이서용 산화막을 형성하고, 블랭킷 식각공정으로 상기 스페이서용 산화막 및 상기 제 2 캡핑층을 순차적으로 식각하여 제 1 캡핑층/제 2 캡핑층/스페이서용 산화막으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 4 항에 있어서,

상기 스페이서용 산화막은 1200 내지 1600Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 4 항에 있어서,

상기 제 2 캡핑층을 매개로 하여 상기 스페이서용 산화막 및 제 1 캡핑층을 식각하여 스크린 산화막을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 셀 지역의 소오스 및 드레인 접합부는 상기 제 1 캡핑층 및 제 2 캡핑층을 이온주입 스크린 산화막으로 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 주변회로 지역의 저농도 소오스 및 드레인 접합부는 상기 제 1 캡핑층 및 제 2 캡핑층을 이온주입 스크린 산화막으로 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서,

상기 주변회로 지역의 고농도 소오스 및 드레인 접합부는 소정 두께만큼 식각된 상기 제 1 캡핑층을 이온주입 스크린 산화막으로 사용하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

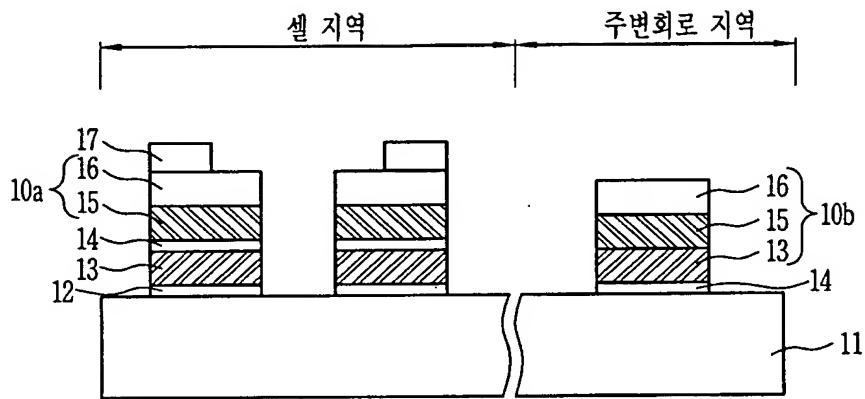
【청구항 10】

제 1 항에 있어서,

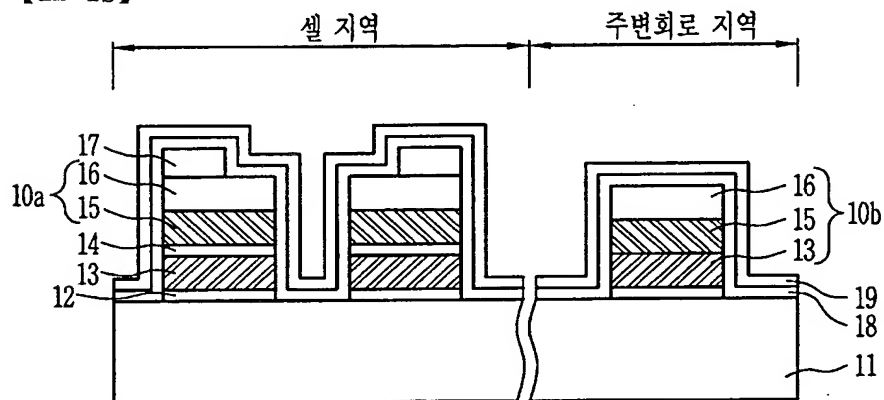
상기 제 1 캡핑층 및 제 2 캡핑층은 상기 플로팅 게이트전극과 상기 콘트롤 게이트전극 사이에 형성된 유전체막의 로컬 버즈 비크를 억제하는 역할을 하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

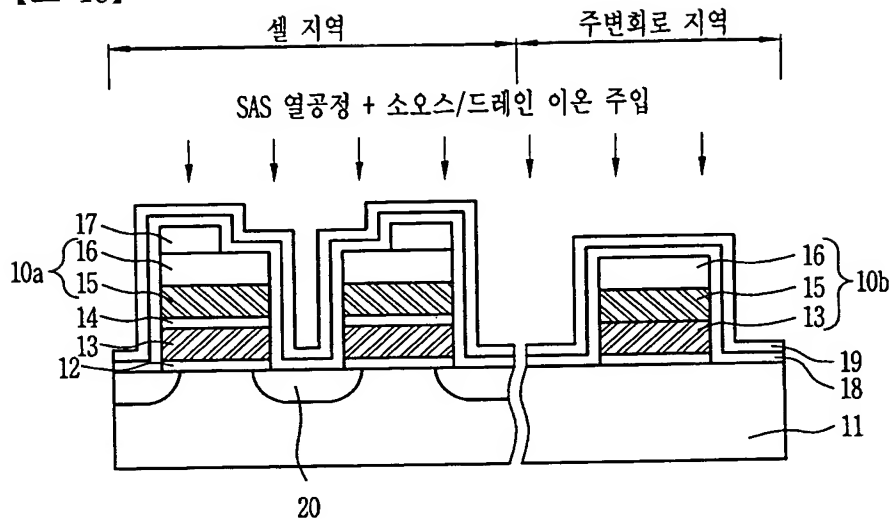
【도 1a】



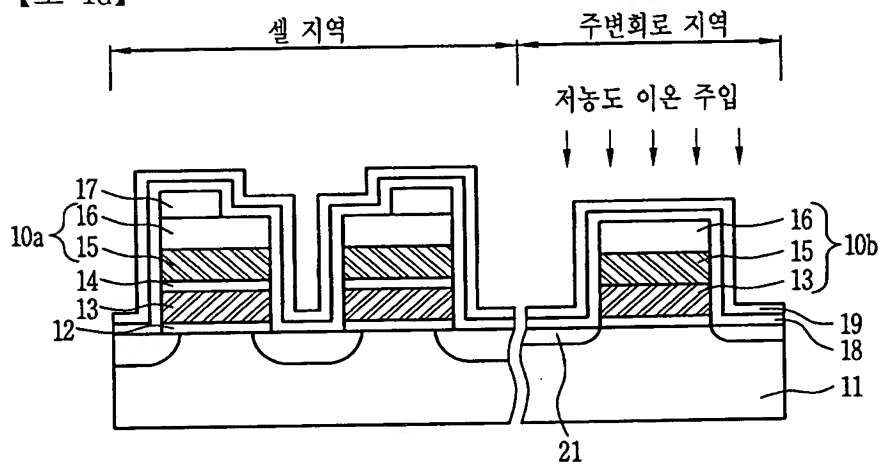
【도 1b】



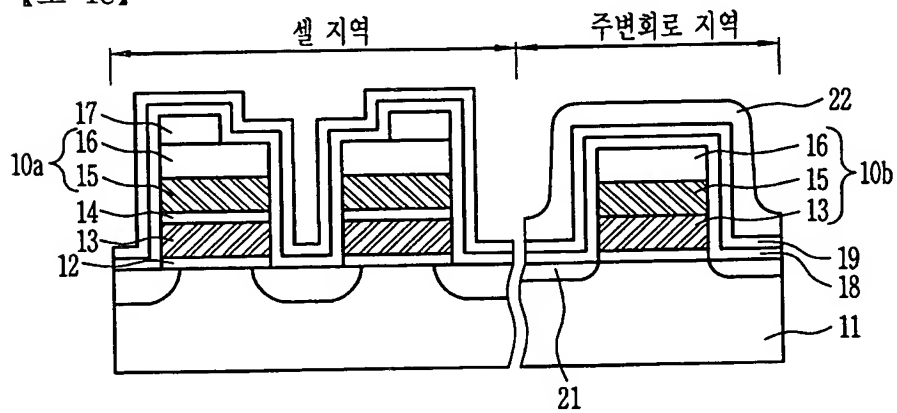
【도 1c】



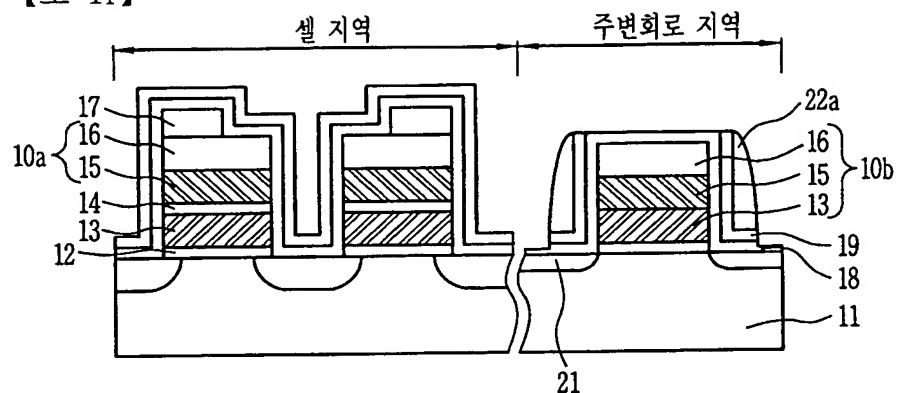
【도 1d】



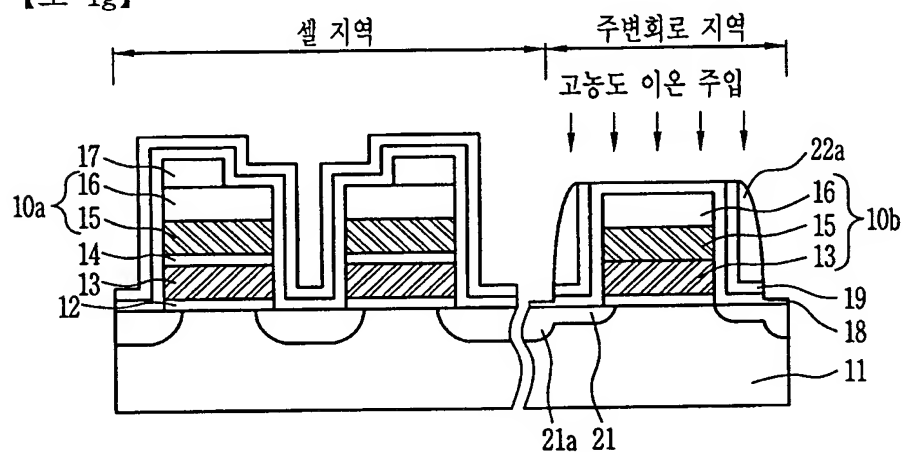
【도 1e】



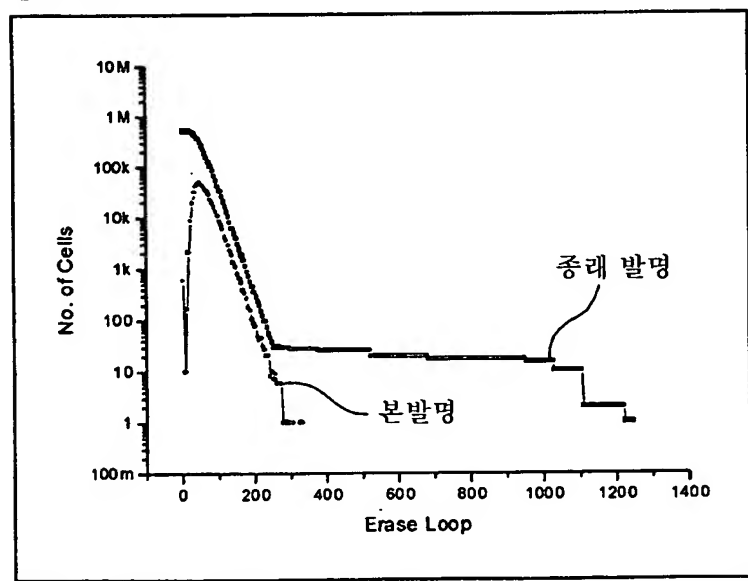
【도 1f】



【도 1g】



【도 2】



【도 3】

